

## Beschreibung

## Digital-Analog-Wandler und Verfahren zur Digital-Analog-Wandlung

5

Die vorliegende Erfindung betrifft einen Digital-Analog-Wandler und ein Verfahren zur Digital-Analog-Wandlung, und insbesondere einen D/A-Wandler mit einer Feldanordnung von Stromzellen unter Einsatz von DEM (Dynamic Element Matching) und ein entsprechendes Wandlungsverfahren.

10

D/A-Wandler werden heutzutage in vielfältigen Anwendungen eingesetzt. In solchen Applikationen muß stets aus einem digitalen Signal mit Hilfe einer Quantisiereinrichtung ein quantisiertes Analogsignal erzeugt werden. Problematisch dabei ist in aller Regel, daß die Quantisiereinrichtung, welche oft aus einer Vielzahl von Quantisierelementen besteht, keine beliebig hohe Genauigkeit des quantisierten analogen Ausgangssignals gewährleisten kann.

15  
20

Um das Problem ungenauer bzw. unpräziser Quantisierungselemente in D/A-Wandlern zu umgehen, ist es bekannt, DEM (Dynamic Element Matching) einzusetzen, wie in "Design of Multibit Delta-Sigma A/D Converters" von Yves Geerts, Michael Steyaert, Willy Sansen, Kluwer Academic Publisher, ISBN 1-4020-7078-0, auf den Seiten 74 bis 97, beschrieben. Von Nachteil beim Einsatz von DEM ist, daß D/A-Wandler mit einer hohen Auflösung, d.h. mit vielen Quantisierungselementen der Quantisiereinrichtung, dabei eine sehr komplexe Hardware erfordern.

25  
30

D/A-Wandler mit einer hohen Auflösung werden deshalb bekanntermaßen vorzugsweise als eine Feldanordnung von Stromquellen vorgesehen, wie in der europäischen Patentschrift EP 0 176 981 beschrieben. In Figur 5 ist exemplarisch dargestellt, wie die Stromquellen der einzelnen Zellen 23 der Feldanordnung 22 in einem herkömmlichen D/A-Wandler, gebildet

35

aus einer Stromquellen-Feldanordnung 22, geschaltet werden. Dabei wird beginnend von einer ersten Zelle in der linken oberen Ecke der Feldanordnung 22 entsprechend einem digitalen Eingangssignal eine vorbestimmte Anzahl von Einzelzellen 24  
5 aktiviert, d.h. die Stromquellen in den Einzelzellen eingeschaltet. Die Einzelströme der Stromquellen der Einzelzellen summieren sich ausgangsseitig zu einem Stromsignal eines entsprechenden Pegels. Im wesentlichen läßt sich der Pegel berechnen durch die Anzahl der aktivierten Einzelzellen mal  
10 dem Stromwert jeder Einzelzelle, welcher als gleich angenommen wird.

Zum einen tritt dabei der Nachteil auf, daß die Zellen 23 im Anfangsbereich, beginnend mit der ersten Zelle links oben,  
15 sehr viel stärker bzw. häufiger beansprucht werden als die Zellen 23 im Endbereich, insbesondere die letzte Zelle 23 der Feldanordnung 22 unten links. Darüber hinaus wirkt sich nachteilig aus, daß jede Einzelzelle 23 in der Praxis keinen exakt identischen Ausgangsstrom, wie beispielsweise die benachbarte aktivierte Zelle 24, liefert. Dadurch entsteht ein  
20 Quantisierungsfehler, welcher das quantisierte analoge Stromausgangssignal der Feldanordnung 22 verfälscht bzw. verzerrt. Der Quantisierungsfehler der Anfangszellen 23, beginnend mit der ersten Zelle links oben, fließt dabei wieder und wieder  
25 in das Ausgangssignal mit ein.

Es ist deshalb Aufgabe der vorliegenden Erfindung, einen D/A-Wandler bereitzustellen, welcher bei einer großen Auflösung einen kleinen Quantisierungsfehler generiert. Erfindungsgemäß wird diese Aufgabe durch den Digital-Analog-  
30 Wandler gemäß Anspruch 1 und durch das Verfahren zur Digital-Analog-Wandlung gemäß Anspruch 9 gelöst.

Die der vorliegenden Erfindung zugrunde liegende Idee besteht  
35 im wesentlichen darin, eine DEM-Einrichtung mit einem hochauflösenden D/A-Wandler zu kombinieren, welcher eine Feldanordnung aus Zellen, vorzugsweise mit Stromquellen, aufweist.

Dadurch kann die Fläche bzw. ein zusammenhängender Block der Energiequellen, vorzugsweise Stromquellen, welche eingeschaltet sind, an jede Stelle in der Feldanordnung geschaltet werden. Somit kann ein dynamisches Austauschen der Zellen der Feldanordnung und damit der einzelnen in der Regel unpräzisen Energiequellen erfolgen. Außerdem wird demgemäß jede Energiequelle, vorzugsweise Stromquelle, der Zellen in der Feldanordnung gleich häufig eingeschaltet werden, wodurch im wesentlichen eine statistische Streuung der Einzelquantisierungsfehler einer Einzelzelle im Einfluß auf das quantisierte analoge Ausgangssignal erreicht wird.

In der vorliegenden Erfindung wird das eingangs genannte Problem insbesondere dadurch gelöst, daß ein D/A-Wandler bereitgestellt wird mit: einer DEM-Logikeinrichtung zum Generieren von zumindest zwei digitalen Ausgangsdaten aus den digitalen Eingangsdaten nach einem vorbestimmten Algorithmus unter Bestimmung einer Anfangszelle und einer Endzelle in der Feldanordnung, zwischen welchen Zellen mit zu aktivierenden Energiequellen liegen; einer Decodereinrichtung zum Decodieren der zumindest zwei digitalen Ausgangsdaten der DEM-Einrichtung in Ansteuersignale zum Aktivieren der zu aktivierenden Zellen; und einer Feldanordnung von Zellen zum Ausgeben zumindest eines quantisierten Analogsignals in Abhängigkeit der Ansteuersignale.

In den Unteransprüchen finden sich vorteilhafte Weiterbildungen und Ausgestaltungen des im Anspruch 1 genannten Digital-Analog-Wandlers und des im Anspruch 9 genannten Verfahrens zur Digital-Analog-Wandlung.

Gemäß einer bevorzugten Weiterbildung weist die Feldanordnung Einzelzellen mit jeweils einer Stromquelle auf.

Gemäß einer weiteren bevorzugten Weiterbildung weist die DEM-Logikeinrichtung einen Paralleleingang zum Zuführen der digi-

talen Eingangsdaten auf, welche über eine vorbestimmte Bit-Breite verfügen.

5 Gemäß einer weiteren bevorzugten Weiterbildung weist die DEM-Logikeinrichtung ausgangsseitig zwei digitale Ausgangsdaten, ein Vorzeichensignal und ein Taktsignal auf, welche an die Decodereinrichtung gekoppelt sind.

10 Gemäß einer weiteren bevorzugten Weiterbildung weist die Decodereinrichtung ausgangsseitig zwei Zeilenansteuersignale und drei Spaltenansteuersignale und vorzugsweise zwei dazu komplementäre Zeilenansteuersignale und drei komplementäre Spaltenansteuersignale auf, welche zum Aktivieren von Energiequellen vorbestimmter Zellen an die Feldanordnung gekoppelt sind.

15 Gemäß einer weiteren bevorzugten Weiterbildung weist die Feldanordnung zwei zueinander inverse quantisierte analoge Ausgangssignale auf.

20 Gemäß einer weiteren bevorzugten Weiterbildung weist die Feldanordnung Einzelzellen mit jeweils einer lokalen Decodereinrichtung auf, welche eingangsseitig jeweils zwei Zeilenansteuersignale und drei Spaltenansteuersignale und vorzugsweise zwei dazu komplementäre Zeilenansteuersignale und drei komplementäre Spaltenansteuersignale aufweist.

25 Gemäß einer weiteren bevorzugten Weiterbildung weist die Feldanordnung jeweils eine Kantenlänge von mindestens 64 Zellen entsprechend einer Bit-Breite des Eingangssignals von mindestens 12 Bit auf.

30 Gemäß einer weiteren bevorzugten Weiterbildung werden in der DEM-Einrichtung aus den digitalen Eingangsdaten nach einem vorbestimmten Algorithmus eine Anfangszelle und ein Endzelle in der Feldanordnung bestimmt, zwischen welchen Zellen mit aktivierten Energiequellen liegen, und insbesondere, wenn die

aktivierten Zellen die letzte Zelle der Feldanordnung erreichen, werden an der ersten Zelle der Feldanordnung anknüpfend Zellen aktiviert.

- 5 Gemäß einer weiteren bevorzugten Weiterbildung wird ein DWA (Data Weighted Averaging)-Algorithmus oder ein bi-DWA (bidirectional Data Weighted Averaging)-Algorithmus oder ein ILA (Individual Level Averaging)-Algorithmus in der DEM-Einrichtung zum Bestimmen der zu aktivierenden Zellen der Feldanord-  
10 nung eingesetzt.

- Gemäß einer weiteren bevorzugten Weiterbildung schaltet eine lokale Decodereinrichtung in einer Zelle der Feldanordnung eine Energiequelle in der Zelle auf einen Ausgang der De-  
15 codereinrichtung, wenn ein erstes Spaltensignal und ein erstes Zeilensignal, oder ein zweites Spaltensignal und ein zweites Zeilensignal, oder ein drittes Spaltensignal aktiviert werden.

- 20 Ein Ausführungsbeispiel der Erfindung ist in den Zeichnungen dargestellt und in der nachfolgenden Beschreibung näher erläutert.

Es zeigen:

25

Fig. 1 ein schematisches Blockdiagramm eines D/A-Wandlers zur Erläuterung einer Ausführungsform der vorliegenden Erfindung;

30

Fig. 2 ein schematisches Schaltbild zur Erläuterung eines Details einer Ausführungsform der vorliegenden Erfindung;

35

Fig. 3A,B ein schematisches Diagramm eines Details eines D/A-Wandlers zur Erläuterung der Funktionsweise der vorliegenden Erfindung, wobei die dargestell-



ten Zustände sich im Vorzeichensignal unterscheiden;

Fig. 4A-D jeweils ein schematisches Diagramm zur Erläuterung unterschiedlicher Algorithmen; und

Fig. 5 eine schematische Zellen-Feldanordnung zur Erläuterung eines Details eines bekannten D/A-Wandlers.

In den Figuren bezeichnen gleiche Bezugszeichen gleiche oder funktionsgleiche Bestandteile.

In Fig. 1 ist ein schematisches Blockdiagramm eines erfindungsgemäßen D/A-Wandlers dargestellt, welcher eine DEM-Logikeinrichtung 10 (Dynamic Element Matching) aufweist. Der DEM-Logikeinrichtung 10 werden digitale Daten 11 über einen Eingang zugeführt. Vorzugsweise kommt dabei als Eingang ein Paralleleingang zum Einsatz, welcher z.B. mit zwölf Leitungen bei einer Bit-Breite eines zugeführten digitalen Datums von 12 Bit aufweist. Ein Taktsignal 12 ist ebenfalls an die DEM-Logikeinrichtung 10 gekoppelt. In der DEM-Logikeinrichtung 10 wird auf Basis des am Eingang anliegenden digitalen Signals 11 mit Hilfe eines vorbestimmten im nachfolgenden beschriebenen Algorithmus zwei digitale Ausgangsdaten 13, 14 und ein Vorzeichensignal 15 generiert. Das erste digitale Ausgangssignal 13 der DEM-Logikeinrichtung 10 definiert eine Anfangszelle und das zweite digitale Ausgangssignal 14 definiert eine Endzelle, zwischen denen aktivierte Zellen 24 (nachfolgend beschrieben) liegen. Sowohl das erste digitale Ausgangssignal 13 als auch das zweite digitale Ausgangssignal 14 wird beispielsweise jeweils über zwölf Leitungen (Bit-Breite 12 Bit) einer Decodereinrichtung 16 zugeführt. Die Decodereinrichtung 16 empfängt darüber hinaus auch das Taktsignal 12 und das Vorzeichensignal 15 von der Logikeinrichtung 10.

In der Decodereinrichtung 16 werden die zwei digitalen Ausgangssignale 13, 14 der DEM-Logikeinrichtung 10 und das Vorzeichensignal 15 in Ansteuersignale 17, 18, 19, 20, 21 für eine Feldanordnung 22 einzelner Zellen 23 umgewandelt. Die Ansteuersignale 17, 18, 19, 20, 21 gliedern sich vorzugsweise wie folgt, um eine vorbestimmte Anzahl von Zellen 23 der Feldanordnung 22 zu aktivieren. Ein erstes Spaltenansteuersignal 17 legt zusammen mit einem ersten Zeilenansteuersignal 18 fest, ab welcher Zelle 23 der Feldanordnung 22 aktivierte Zellen 24 beginnen sollen. Ein zweites Spaltenansteuersignal 19 und ein zweites Zeilenansteuersignal 20 dient der Festlegung der Anzahl aktivierter Zellen 24 in der letzten Spalte der Feldanordnung 22, welche aktivierte Zellen 24 aufweisen soll, um durch Aktivierung einer vorbestimmten zwischenliegenden Anzahl von Zellen einen quantisierten Ausgangssignalepegel 25 zu generieren. Das Spaltenansteuersignal 21 legt die vollständig aktivierten Spalten der Feldanordnung 22 zur Generierung des quantisierten Ausgangssignals 25 fest.

Gemäß der in Fig. 1 dargestellten Ausführungsform sind neben den Ansteuersignalen 17, 18, 19, 20, 21 auch dazu entsprechend inverse Ansteuersignale 17', 18', 19', 20', 21' vorgesehen. Die Feldanordnung 22 ist vorzugsweise mit einem Referenzstromsignal 26 verbunden, welches den gleichen Pegel wie das maximale Ausgangssignal 25, d.h. alle Zellen der Feldanordnung 22 sind aktivierte Zellen 24, aufweist. Ein zum quantisierten Ausgangssignal 25 die Differenz zum Referenzstrompegel 26 aufweisendes zweites Ausgangssignal 25' ist vorzugsweise zusätzlich vorhanden.

In Fig. 2 ist schematisch ein Schaltbild zur Erläuterung eines exemplarischen Aufbaus einer einzelnen Zelle 23 der Feldanordnung 22 dargestellt. Die mit Bezug auf Figur 2 erläuterte lokale Decodereinrichtung 27 weist eine Potentialquelle 28 auf, welche beispielsweise 2,5 V gegenüber einem Bezugspotential 29 bereitstellt. Eine Stromquelle 30 als exemplarische Energiequelle 30 liefert einen konstanten vor-

bestimmten Strom, welcher in Abhängigkeit der Ansteuersignale 17, 17', 18, 18', 19, 19', 20, 20', 21, 21' über einen ersten Widerstand 31 oder einen zweiten Widerstand 32 als Strombeitrag 33 des Ausgangssignals 25 gemäß Fig. 1 oder als Strombeitrag 34 des Ausgangssignals 25' fließt. Für die Schaltung der Decodereinrichtung 27 werden vorzugsweise p-Kanal FETs 35 und n-Kanal FETs 36 eingesetzt, welche über die Ansteuersignale 17 bis 21' gate-seitig angesteuert werden.

Die lokale Decodereinrichtung 27 gemäß Fig. 2 repräsentiert exemplarisch die logische Funktion, daß der Strombeitrag 33 durch den ersten Widerstand 31 als Beitrag einer aktivierten Einzelzelle 24 zum Ausgangsstrom 25 gemäß Fig. 1 fließt, wenn entweder das Spaltenansteuersignal 21 oder das erste Spalten- und das erste Zeilenansteuersignal 17, 18 gleichzeitig oder das zweite Spaltensignal 19 und das zweite Zeilensignal 20 gleichzeitig aktiviert sind, d.h. einen high-Pegel aufweisen. Das Ausgangssignal 25 summiert die Strombeiträge 33 der aktivierten Zellen 24. Liegt als Spaltenansteuersignal 21 ein High-Pegel an, so wird das Potential an einem Verknüpfungspunkt 37 auf das Bezugspotential 29 gelegt, wodurch der p-Kanal FET 35 im linken Strang zwischen der Stromquelle 30 und dem ersten Widerstand 31 leitend wird. Dadurch fließt der Strombeitrag 33 im linken Strang. Entsprechendes folgt, wenn ein High-Pegel als Spaltenansteuersignal 17 und gleichzeitig als Zeilenansteuersignal 18 anliegt. Dasselbe Resultat liegt vor, wenn das zweite Spaltenansteuersignal 19 und gleichzeitig das zweite Zeilenansteuersignal 20 einen High-Pegel aufweisen.

Die Ansteuersignale 17 bis 21 und die dazu invertierten Ansteuersignale 17' bis 21' werden eingesetzt, so daß kapazitiv eingekoppelte Störungen von diesen Signalen auf die analogen Strombeiträge 33, 34 bzw. die quantisierten Ausgangsströme 25, 25' gemäß Fig. 1 in erster Näherung eliminiert werden. Mit dem lokalen Decoder 27 gemäß Fig. 2 können höhere Spannungen 28 an den Stromquellen 30 jeder einzelnen Zelle 23 der



Feldanordnung 22 gehandhabt werden. Der differentielle Decoder 27 gemäß Fig. 2 kann beispielsweise außerdem mit einem Taktsynchronisationsblock versehen sein (nicht dargestellt).

5 Mit Bezug auf die Fig. 3A und 3B wird schematisch die Ansteuerung von Zellen 23 der Feldanordnung 22 erläutert. Das erste Spaltenansteuersignal 17 ist wie ein Vektor gestaltet, welcher die Länge einer Matrix-Seite der Feldanordnung 22 aufweist. Lediglich in der Spalte, in welcher der Anfangswert  
10 der aktivierten Zellen 24 liegt, ist eine Eins vorgesehen, ansonsten Nullen. Entsprechendes gilt für das zweite Spaltenansteuersignal 19, welches als Vektor nur eine Eins in der Spalte aufweist, in welcher die letzte der aktivierten Zellen 24 liegt. Das Spaltensignal 21 wird durch einen Vektor repräsentiert, welcher bei jeder vollständig aktivierten Spalte  
15 eine Eins, ansonsten Nullen aufweist.

Das erste Zeilenansteuersignal 18 wird durch einen Vektor repräsentiert, welcher ab der ersten aktivierten Zelle 24  
20 Einsen aufweist, davor mit Nullen versehen ist. Das zweite Zeilenansteuersignal 20 ist ein Vektor, welcher bis zur letzten der aktivierten Zellen 24 eine Eins aufweist, nachfolgend jedoch mit Nullen versehen ist. Auf diese Weise werden an den Zellen 23 der Feldanordnung 22 entsprechende Pegel gemäß Fig.  
25 2 angelegt, wodurch ein Block aktiver Zellen 24 gemäß Fig. 3A generiert wird. Jede aktive Zelle 24 weist einen vorbestimmten Ausgangspegel (gemäß der vorliegenden Ausführungsform einen vorbestimmten Strompegel) auf, und folglich ergibt sich als quantisiertes Ausgangssignal 25 gemäß Fig. 1 ein Strom-  
30 wert, welcher der Anzahl der aktivierten Zellen 24 mal dem vorbestimmten Strombeitragspegel 33 gemäß Fig. 2 entspricht. In Fig. 3 ist dabei das Vorzeichensignal 15 gemäß Fig. 1 mit einem Low-Pegel, d.h. Null, versehen. Das bedeutet, daß kein Übertrag bzw. eine Fortsetzung eingeschalteter Zellen 24  
35 eines aktivierten Blockes, welcher aktivierte Einzelzellen 24 über die letzte Zelle der Feldanordnung 22 hinaus erfordert

und somit gemäß Fig. 3B bei der ersten Zelle der Feldanordnung 22 fortgesetzt wird.

Im Beispiel gemäß Fig. 3B reichen die Zellen, beginnend mit  
5 einer aktivierten Zelle im rechten Block aktivierter Zellen 24, nicht aus, um ein Ausgangssignal 25 mit entsprechend hohem Pegel gemäß dem digitalen Eingangssignal 11 nach Fig. 1 bereitzustellen, und so wird der Block beginnend bei der ersten Zelle der Feldanordnung 22 links oben fortgesetzt  
10 (linker Block aktivierter Zellen 24 in Fig. 3B). Das Vorzeichensignal weist hierbei einen High-Pegel, d.h. Eins, auf. Derart wird sichergestellt, daß trotz des Setzens bzw. Verschiebens des Blocks aktivierter Zellen 24, einem DEM-Algorithmus folgend, der volle Wiedergabebereich, d.h. die  
15 volle Anzahl von Quantisierstufen, d.h. die Zellengesamtanzahl der Feldanordnung 22 (Spalten mal Zeilen) zur Verfügung steht. Gemäß dem vorliegenden Beispiel wird davon ausgegangen, daß die Zelle links oben die erste Zelle der Feldanordnung 22 und die Zelle rechts unten entsprechend die letzte  
20 Zelle der Feldanordnung 22 ist.

Die Fig. 4A bis 4D zeigen Zeitdiagramme zur Erläuterung verschiedener in der DEM-Logikeinrichtung 10 anwendbarer Algorithmen. Dabei wird pro Zeittakt ein in acht Quantisierungs-  
25 stufen quantisierbarer Wert wiedergegeben. Es existiert hier zur Wandlung beispielhaft somit lediglich eine Zeile, d.h. jede Zeile zeigt einen neuen Abtastzeitpunkt, im Gegensatz zu Fig. 1 und Fig. 3A,B, in welchen stets ein Abtastzeitpunkt bei einem zweidimensionalen Zellenfeld 22 dargestellt ist.

30 Gemäß Fig. 4A ist lediglich eine einfache Thermometercodierung ohne DEM dargestellt. Die Zahl hinter einer Zeile steht in allen Abbildungen 4A bis 4D für einen quantisierten Wert. Ohne DEM wird ein Ausgangssignalpegel (Anzahl der schwarz  
35 ausgefüllten Kästchen) aus aktivierten Zellen 24 immer mit dem ersten Kästchen auf der linken Seite beginnend dar-

gestellt. Das heißt, das linke Kästchen wird viel häufiger aktiviert als das Kästchen rechts außen.

Im Diagramm gemäß Fig. 4 wird die gleiche Zahlenfolge (4, 2, 3, 1, 4, 5, 2, 3, 7, 2, ...), wie in Fig. 4A, durch aktivierte Kästchen 24 zu aufeinanderfolgenden Abtastzeitpunkten über der Zeit  $t$  dargestellt, wobei eine Codierung gemäß eines ILA-Algorithmus (Individual Level Averaging) eingesetzt wird. Dieser rotatorische Ansatz setzt einen Block aktiver Zellen 24 zu jedem neuen Absatzzeitpunkt, d.h. gemäß der Darstellung in jeder neuen Zeile, in anderer Richtung am Ende des vorherigen Blockes an.

Bei einem DWA-Algorithmus (Data Weighted Averaging) gemäß Figur 4C wird ein neuer Block aktiver Zellen 24 stets in gleicher Richtung am Ende des vorherigen Blocks fortsetzend angehängt. Wird das Ende der Zeile dabei erreicht (hier siehe dritte Zeile), so wird vorne in der Zeile fortsetzend der quantisierte Wert wiedergegeben.

Im Diagramm gemäß Fig. 4D wird exemplarisch ein bi-DWA-Algorithmus (bidirectional Data Weighted Averaging) verdeutlicht, wobei in den ungeraden Zeilen aktivierte Zellen 24 in einer Richtung am Ende des Blockes aktivierter Zellen 24 der vorletzten Zeile anknüpfend die quantisierten Werte wiedergegeben werden. In der zweiten, vierten, sechsten, ... Zeile werden die Blöcke aktivierter Zeilen 24 entsprechend stets in der entgegengesetzten Richtung angehängt.

Diese und weitere Algorithmen sind in der DEM-Logikeinrichtung 10 einsetzbar, um Blöcke aktivierter Zellen 24 auch in einer zweidimensionalen Feldanordnung 22 gemäß Fig. 1 mit jedem neuen Taktsignal am Ende des Blocks aktivierter Zellen des vorherigen Abtastzeitpunktes anzuknüpfen.

Obwohl die vorliegende Erfindung vorstehend anhand bevorzugter Ausführungsbeispiele beschrieben wurde, ist sie darauf

- nicht beschränkt, sondern auf vielfältige Weise modifizierbar. Obwohl mit Bezug auf eine Eingangs-Bit-Breite von 12 Bit, d.h. 4.096 Quantisierungsstufen, und eine Feldanordnung 22 mit 64 Zeilen und 64 Spalten (in den Fig. 1 und 3 kleiner dargestellt) erläutert, kann die Vorrichtung bzw. das Verfahren auch beliebige kleinere oder größere Feldanordnungen 22 zur quantisierten Umwandlung in ein Analog-Signal einsetzen.
- 10 Anstatt Stromquellen als Energiequellen 30 gemäß Fig. 2 einzusetzen, besteht grundsätzlich auch die Möglichkeit, in jeder Zelle eine Spannungsquelle mit vorbestimmter Ausgangsspannung vorzusehen, wobei als Ausgangssignal 25 der Feldanordnung 22 gemäß Fig. 1, insbesondere durch Reihenschaltung  
15 der Spannungspegel der aktivierten Einzelzellen 24, das Ausgangssignal 25 generiert wird. Darüber hinaus ist der Aufbau einer Zelle gemäß Fig. 2 mit der Decodereinrichtung 27 beispielhaft und kann unter Bereitstellung der gleichen logischen Funktion auch andersartig ausgeführt werden.

## Bezugszeichenliste

	10	DEM-Logikeinrichtung (dynamic element matching)
	11	digitale Eingangsdaten, vorzugsweise parallel mit 12 Bit
5	12	Taktsignal
	13	digitales Ausgangssignal (Anfangszelle)
	14	digitales Ausgangssignal (Endelle)
	15	Vorzeichensignal
	16	Decodereinrichtung
10	17	erstes Ansteuersignal Spalte
	17'	invertiertes erstes Ansteuersignal Spalte
	18	erstes Ansteuersignal Zeile
	18'	invertiertes erstes Ansteuersignal Zeile
	19	zweites Ansteuersignal Spalte
15	19'	invertiertes zweites Ansteuersignal Spalte
	20	zweites Ansteuersignal Zeile
	20'	invertiertes zweites Ansteuersignal Zeile
	21	Ansteuersignal volle Spalten
	21'	invertiertes Ansteuersignal volle Spalten
20	22	Feldanordnung
	23	Einzelzelle der Feldanordnung
	24	aktivierte Zelle
	25	quantisiertes Ausgangssignal
	25'	invertiertes quantisiertes Ausgangssignal
25	26	Referenzstromsignal
	27	lokale Decodereinrichtung
	28	Potentialquelle
	29	Bezugspotential
	30	Energiequelle, vorzugsweise Stromquelle
30	31	Widerstand
	32	Widerstand
	33	Strombeitrag
	34	Strombeitrag
	35	P-Kanal FET
35	36	N-Kanal FET
	37	Knotenpunkt
	38	Knotenpunkt



## Patentansprüche

## 1. Digital-Analog-Wandler mit:

5 einer DEM-Logikeinrichtung (10) zum Generieren von zumindest zwei digitalen Ausgangsdaten (13, 14) aus digitalen Eingangsdaten (11) nach einem vorbestimmten Algorithmus unter Bestimmung einer Anfangszelle und einer Endzelle in der Feldanordnung (22), zwischen welchen Zellen (24) mit  
10 zu aktivierenden Energiequellen (30) liegen;

einer Decodereinrichtung (16) zum Decodieren der zumindest zwei digitalen Ausgangsdaten (13, 14) der DEM-Einrichtung (10) in Ansteuersignale (17, 17', 18, 18', 19, 19', 20, 20', 21, 21') zum Aktivieren der zu aktivieren-  
15 den Zellen (24); und

einer Feldanordnung (22) von Zellen (23) zum Ausgeben zumindest eines quantisierten Analogsignals (25, 25') in  
20 Abhängigkeit der Ansteuersignale (17, 17', 18, 18', 19, 19', 20, 20', 21, 21').

2. Digital-Analog-Wandler nach Anspruch 1,  
d a d u r c h g e k e n n z e i c h n e t ,  
25 daß die Feldanordnung (22) Einzelzellen (23) mit jeweils einer Stromquelle als Energiequelle (30) aufweist.

3. Digital-Analog-Wandler nach Anspruch 1 oder 2,  
d a d u r c h g e k e n n z e i c h n e t ,  
30 daß die DEM-Logikeinrichtung (10) einen Paralleleingang zum Zuführen der digitalen Eingangsdaten (11) aufweist, welche über eine vorbestimmte Bit-breite verfügen.

4. Digital-Analog-Wandler nach einem der vorangehenden Ansprüche,  
35 d a d u r c h g e k e n n z e i c h n e t ,

daß die DEM-Logikeinrichtung (10) ausgangsseitig zwei digitale Ausgangsdaten (13, 14), ein Vorzeichensignal (15), und ein Taktsignal (12) aufweist, welche an die Decoder-  
einrichtung (16) gekoppelt sind.

5

5. Digital-Analog-Wandler nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

10

daß die Decodereinrichtung (16) ausgangsseitig zwei Zeilenansteuersignale (18, 20) und drei Spaltenansteuersignale (17, 19, 21) und vorzugsweise zwei dazu komplementäre Zeilenansteuersignale (18', 20') und drei komplementäre Spaltenansteuersignale (17', 19', 21') aufweist, welche zum Aktivieren von Energiequellen (30) vorbestimmter Zellen (24) an die Feldanordnung (22) gekoppelt sind.

15

6. Digital-Analog-Wandler nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

20

daß die Feldanordnung (22) zwei zueinander inverse quantisierte analoge Ausgangssignale (25, 25') aufweist.

7. Digital-Analog-Wandler nach einem der vorangehenden Ansprüche,

25

d a d u r c h g e k e n n z e i c h n e t ,

daß die Feldanordnung (22) Einzelzellen (23) mit jeweils einer lokalen Decodereinrichtung (27) aufweist, welche eingangsseitig jeweils zwei Zeilenansteuersignale (18, 20) und drei Spaltenansteuersignale (17, 19, 21) und vorzugsweise zwei dazu komplementäre Zeilenansteuersignale (18', 20') und drei komplementäre Spaltenansteuersignale (17', 19', 21') aufweist.

30

8. Digital-Analog-Wandler nach einem der vorangehenden Ansprüche,

35

d a d u r c h g e k e n n z e i c h n e t ,

daß die Feldanordnung (22) jeweils eine Kantenlänge von mindestens 64 Zellen (23), entsprechend einer Bit-breite des Eingangssignals von mindestens 12 Bit, aufweist.

- 5 9. Verfahren zur Digital-Analog-Wandlung mit den folgenden Schritten:

10 Generieren von zumindest zwei digitalen Ausgangsdaten (13, 14) aus digitalen Eingangsdaten (11) in einer DEM-Logikeinrichtung (10), wobei aus den digitalen Eingangsdaten (11) nach einem vorbestimmten Algorithmus eine Anfangszelle und eine Endzelle in der Feldanordnung (22) bestimmt werden, zwischen welchen Zellen (24) mit zu aktivierenden Energiequellen (30) liegen;

15 Decodieren der zumindest zwei digitalen Ausgangsdaten (13, 14) der DEM-Einrichtung (10) in Ansteuersignale (17, 17', 18, 18', 19, 19', 20, 20', 21, 21') in einer Decodereinrichtung (16) zum Aktivieren der zu aktivierenden Zellen (24); und

20

Ausgeben zumindest eines quantisierten Analogsignals (25, 25') in Abhängigkeit der Ansteuersignale (17, 17', 18, 18', 19, 19', 20, 20', 21, 21') mittels einer Feldanordnung (22) von Zellen (23).

25

10. Verfahren nach Anspruch 9,

d a d u r c h g e k e n n z e i c h n e t ,  
daß in der DEM-Logikeinrichtung (10) aus den digitalen Eingangsdaten (11) nach einem vorbestimmten Algorithmus eine Anfangszelle und eine Endzelle in der Feldanordnung (22) bestimmt werden, zwischen welchen Zellen (24) mit aktivierten Energiequellen (30) liegen, und insbesondere wenn die aktivierten Zellen (24) die letzte Zelle der Feldanordnung (22) erreichen, an der ersten Zelle der Feldanordnung (22) anknüpfend Zellen (24) aktiviert werden.

30

35

11. Verfahren nach Anspruch 10,

dadurch gekennzeichnet,  
daß ein DWA (Data Weighted Averaging) -Algorithmus oder  
ein bi-DWA (bidirectional Data Weighted Averaging) -Algo-  
rithmus oder ein ILA (Individual Level Averaging) -Algo-  
rithmus in der DEM-Logikeinrichtung (10) zum Bestimmen  
der zu aktivierenden Zellen (24) der Feldanordnung (22)  
eingesetzt wird.

12. Verfahren nach einem der Ansprüche 9 bis 11,

dadurch gekennzeichnet,  
daß die DEM-Logikeinrichtung (10) ausgangsseitig zwei di-  
gitale Ausgangsdaten (13, 14), ein Vorzeichensignal (15)  
und ein Taktsignal (12) generiert, welche an die Decoder-  
einrichtung (16) übermittelt werden.

13. Verfahren nach einem der Ansprüche 9 bis 12,

dadurch gekennzeichnet,  
daß die Decodereinrichtung (16) ausgangsseitig zwei Zei-  
lenansteuersignale (18, 20) und drei Spaltenansteuersig-  
nale (17, 19, 21) und vorzugsweise zwei dazu komplementä-  
re Zeilenansteuersignale (18', 20') und drei komplementä-  
re Spaltenansteuersignale (17', 19', 21') generiert,  
durch welche Energiequellen (30) in vorbestimmten Zellen  
(24) der Feldanordnung (22) aktiviert werden.

14. Verfahren nach einem der Ansprüche 9 bis 13,

dadurch gekennzeichnet,  
daß die Feldanordnung (22) zwei zueinander invertierte  
quantisierte analoge Ausgangssignale (25, 25') ausgibt.

15. Verfahren nach einem der Ansprüche 9 bis 14,

dadurch gekennzeichnet,  
daß in der Feldanordnung (22) Einzelzellen (23) mit je-  
weils einer lokalen Decodereinrichtung (27) eingesetzt  
werden, welche eingangsseitig jeweils zwei Zeilenansteu-

ersignale (18, 20) und drei Spaltenansteuersignale (17, 19, 21) und vorzugsweise zwei dazu komplementäre Zeilenansteuersignale (18', 20') und drei komplementäre Spaltenansteuersignale (17', 19', 21') zur Ansteuerung einer Energiequelle (30) der Zelle einsetzen.

16. Verfahren nach einem der Ansprüche 9 bis 15, dadurch gekennzeichnet, daß eine lokale Decodereinrichtung (16) in einer Zelle (23) der Feldanordnung (22) eine Energiequelle (30) auf einen Widerstand (31) der lokalen Decodereinrichtung (27) schaltet, wenn ein erstes Spaltensignal (17) und ein erstes Zeilensignal (18), oder ein zweites Spaltensignal (19) und ein zweites Zeilensignal (20), oder ein drittes Spaltensignal (21) aktiviert werden.



FIG 1

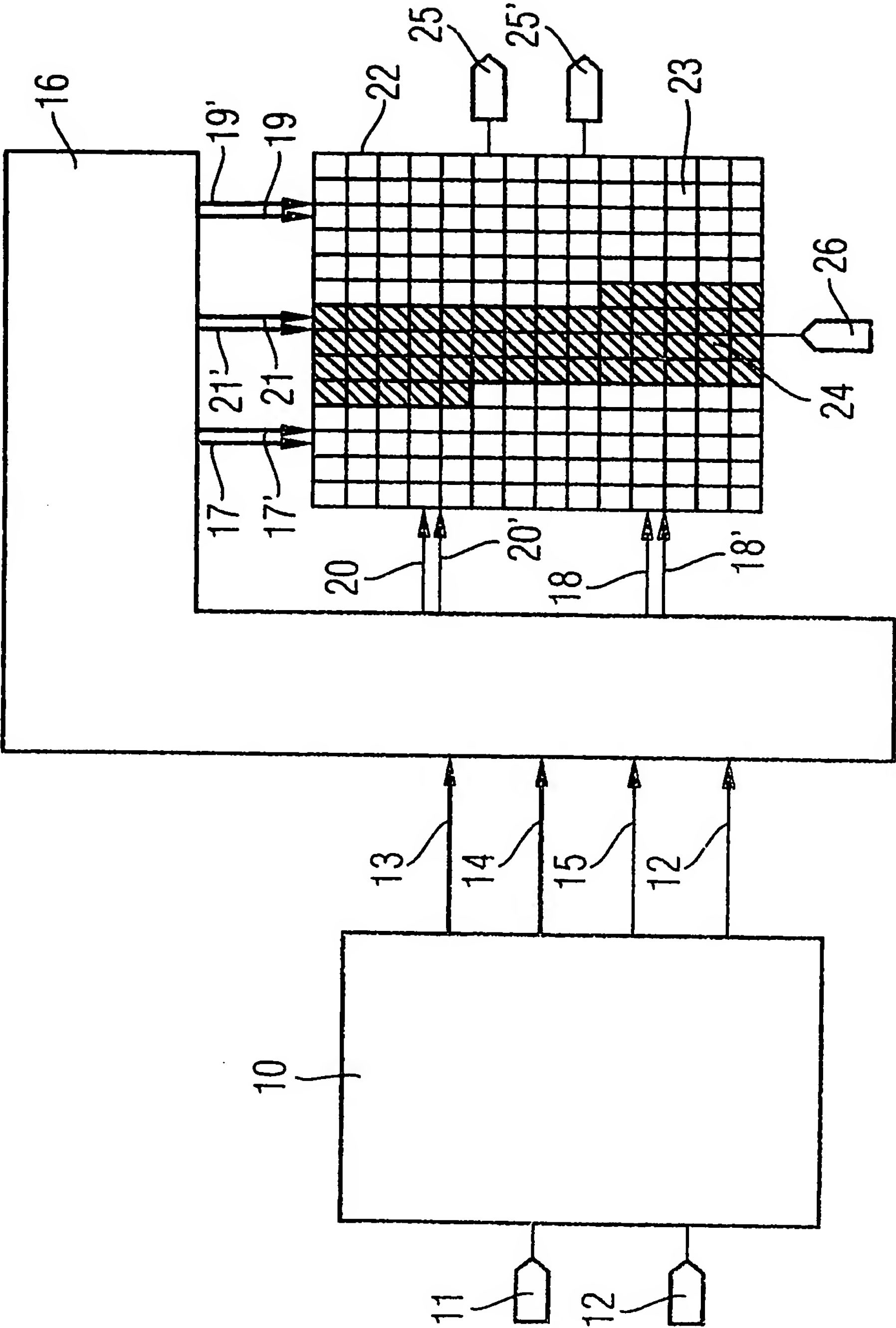
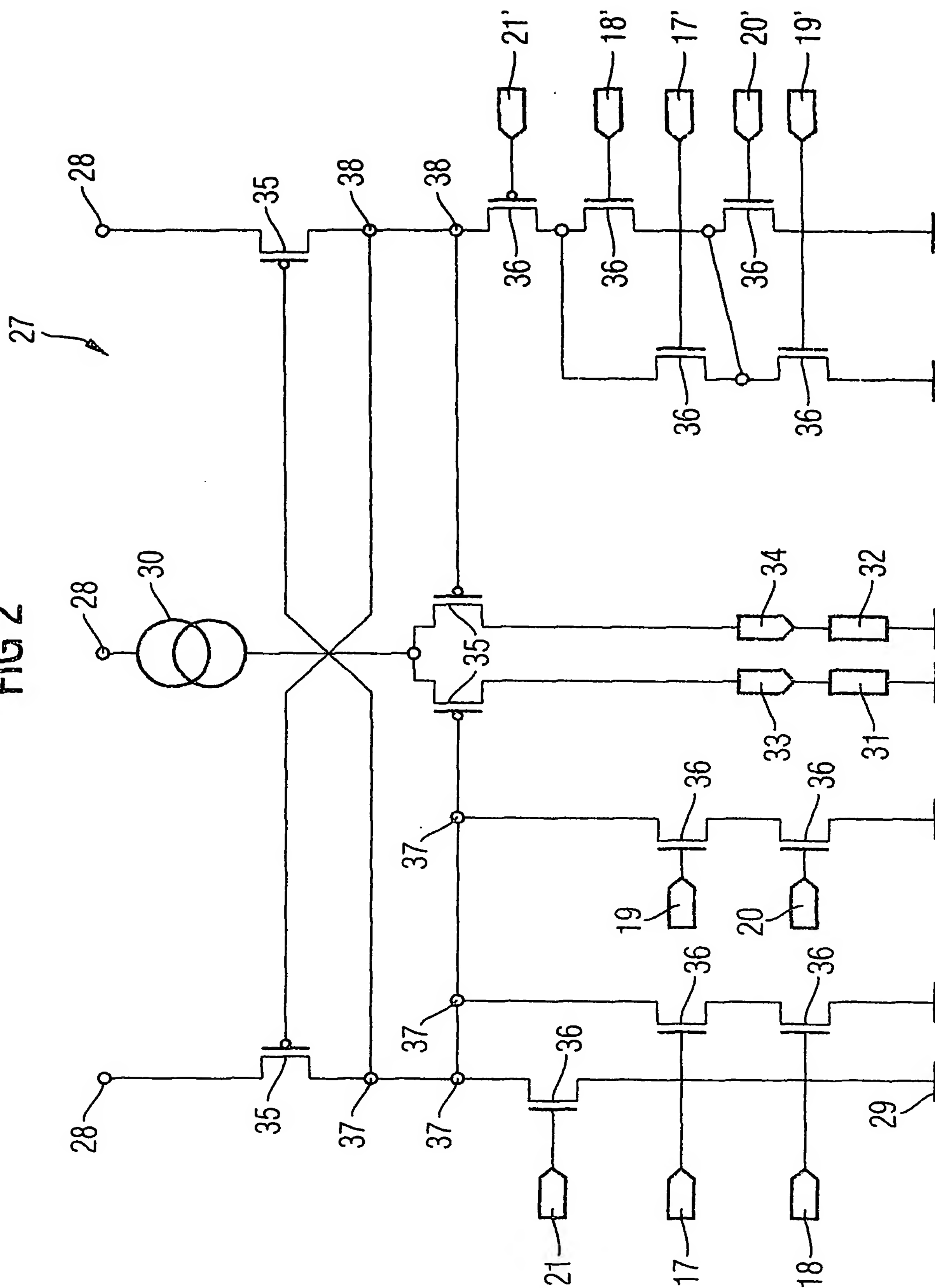


FIG 2



3/5

FIG 3A

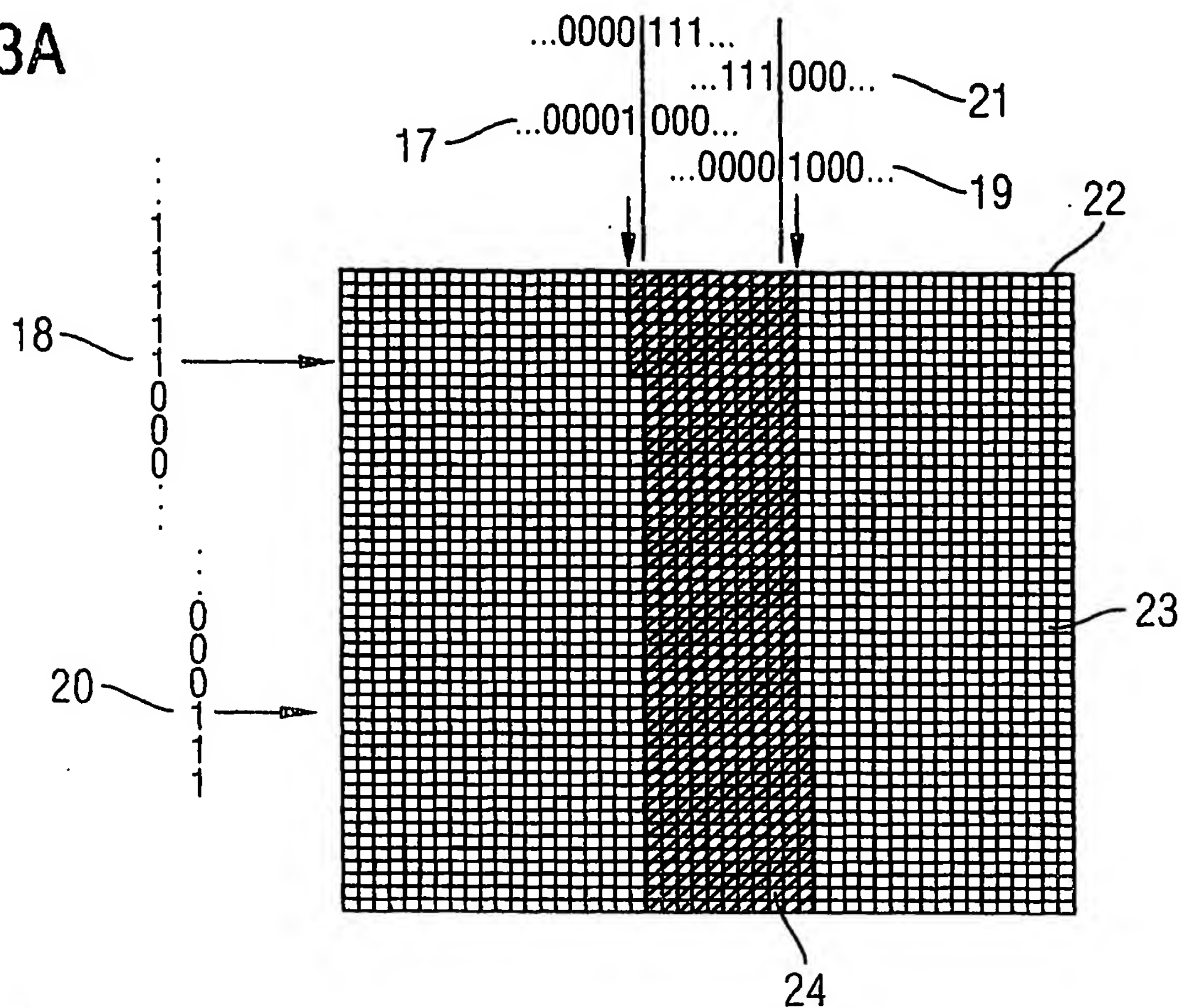


FIG 3B

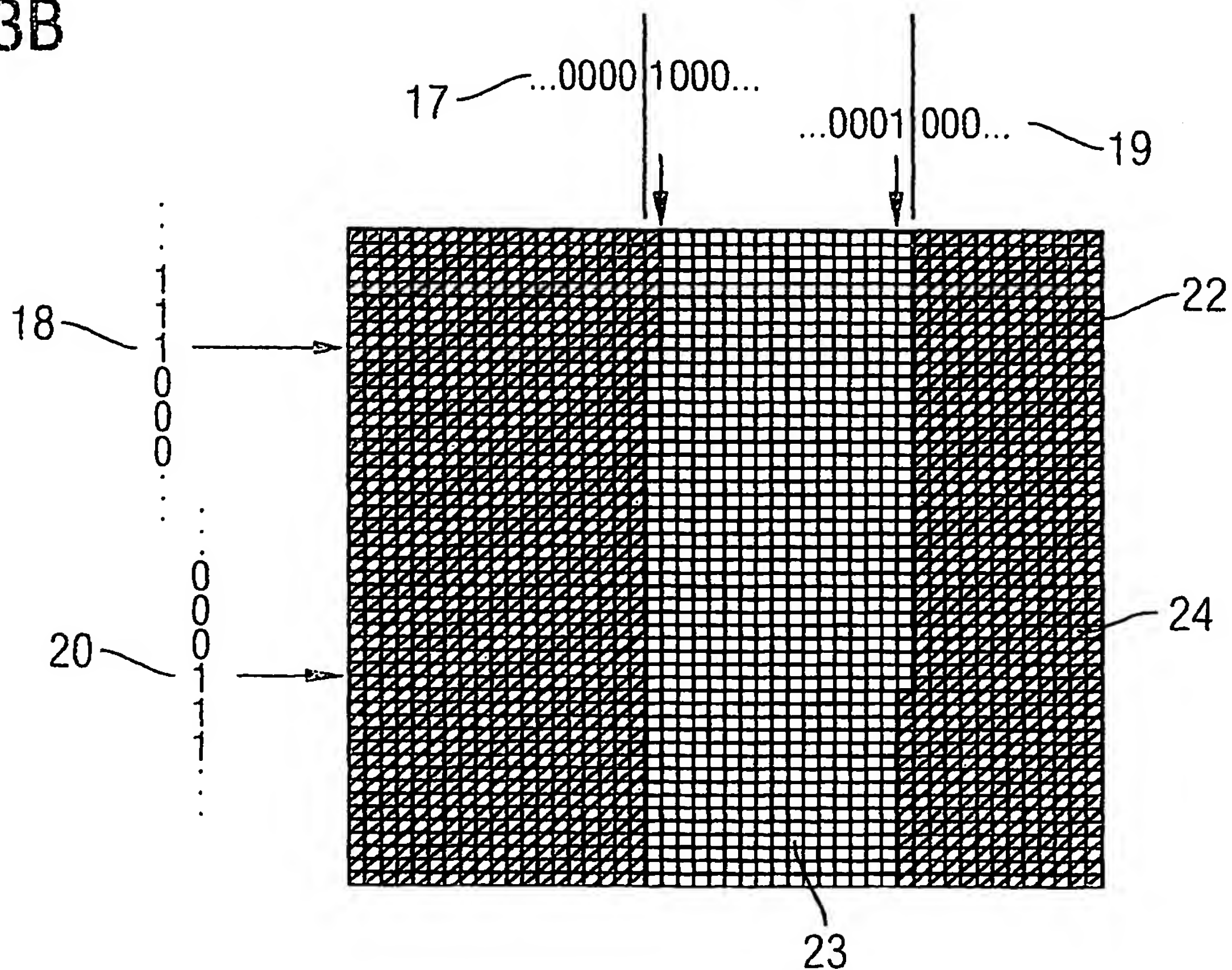


FIG 4A

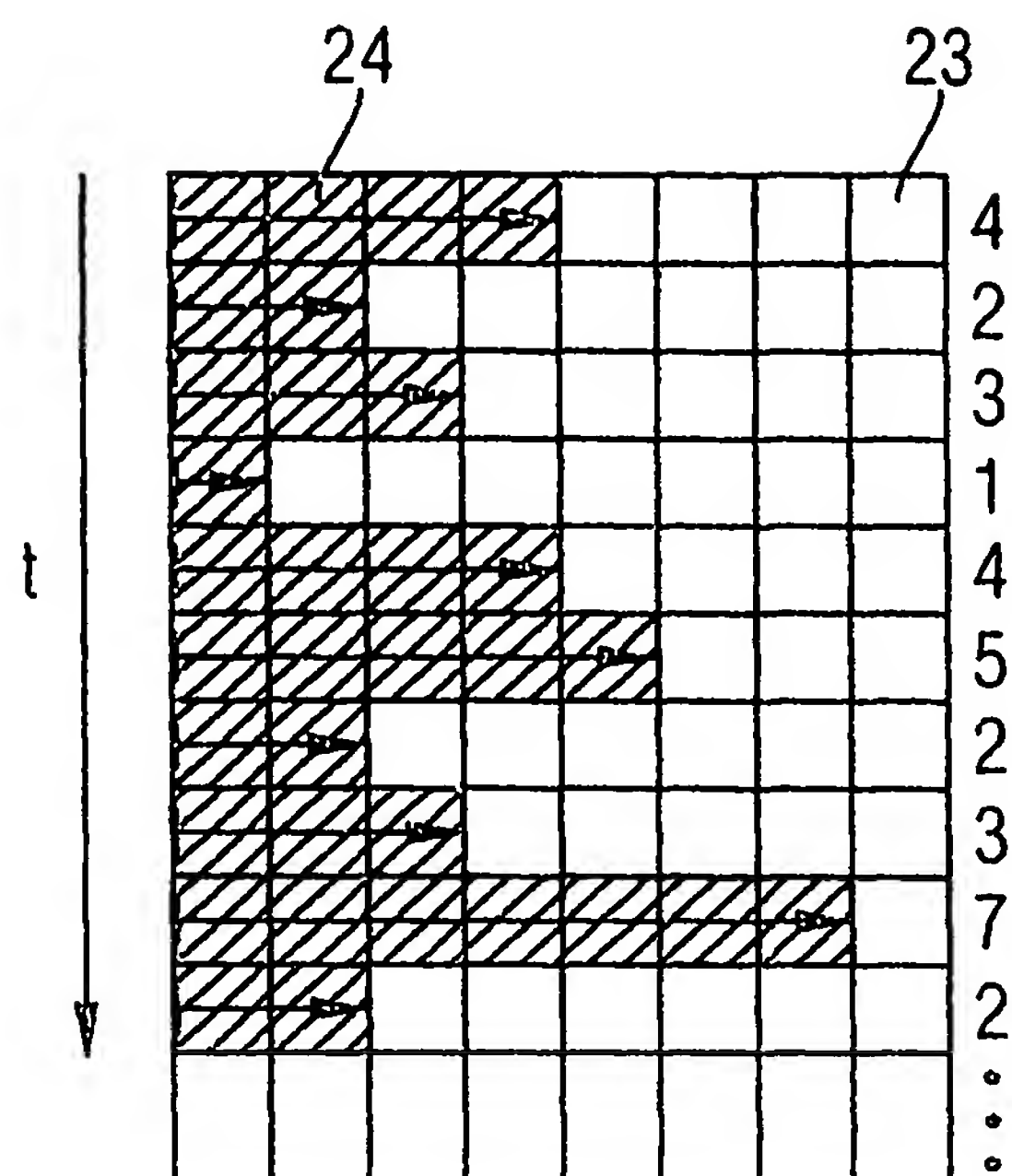


FIG 4C

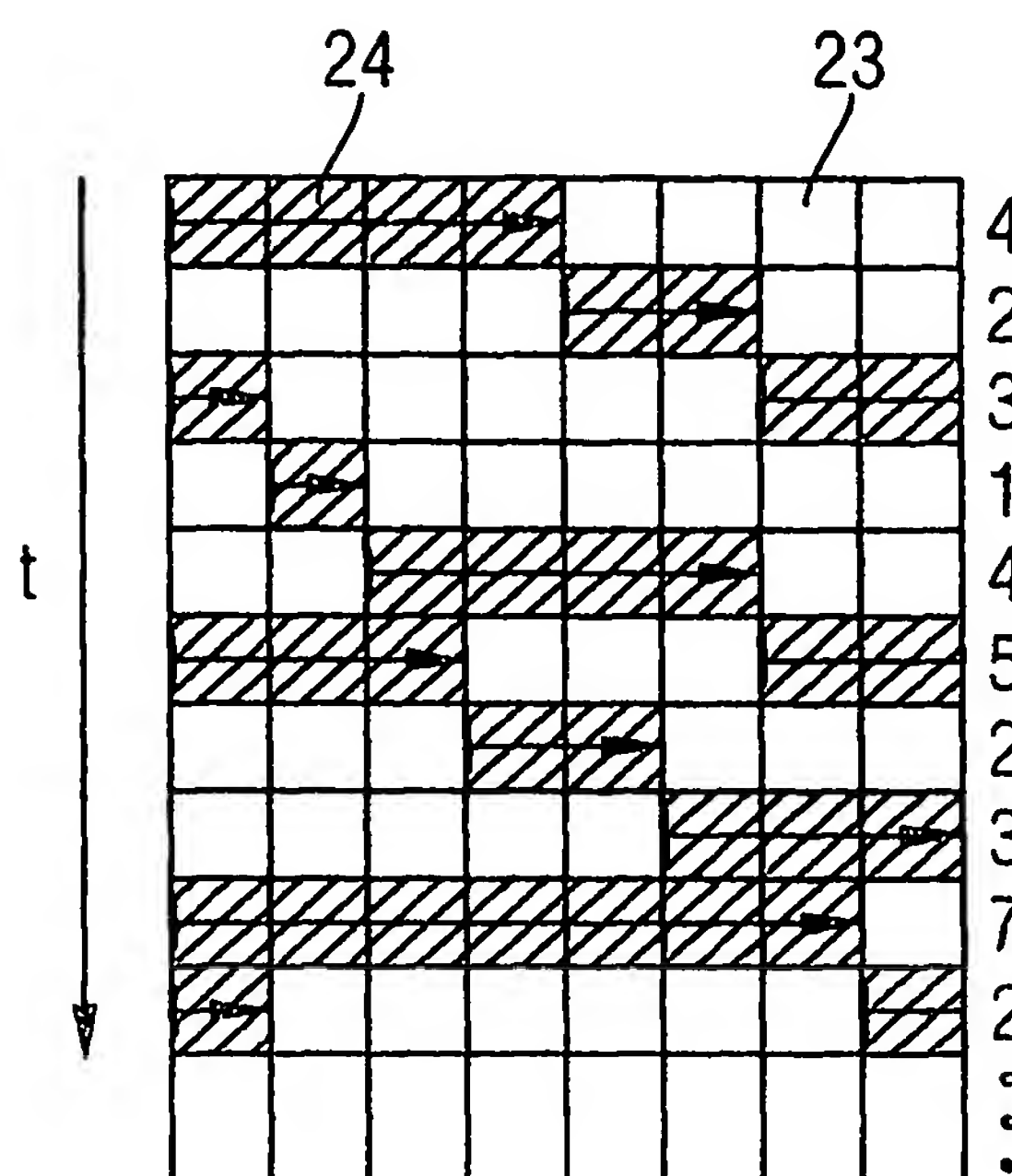


FIG 4B

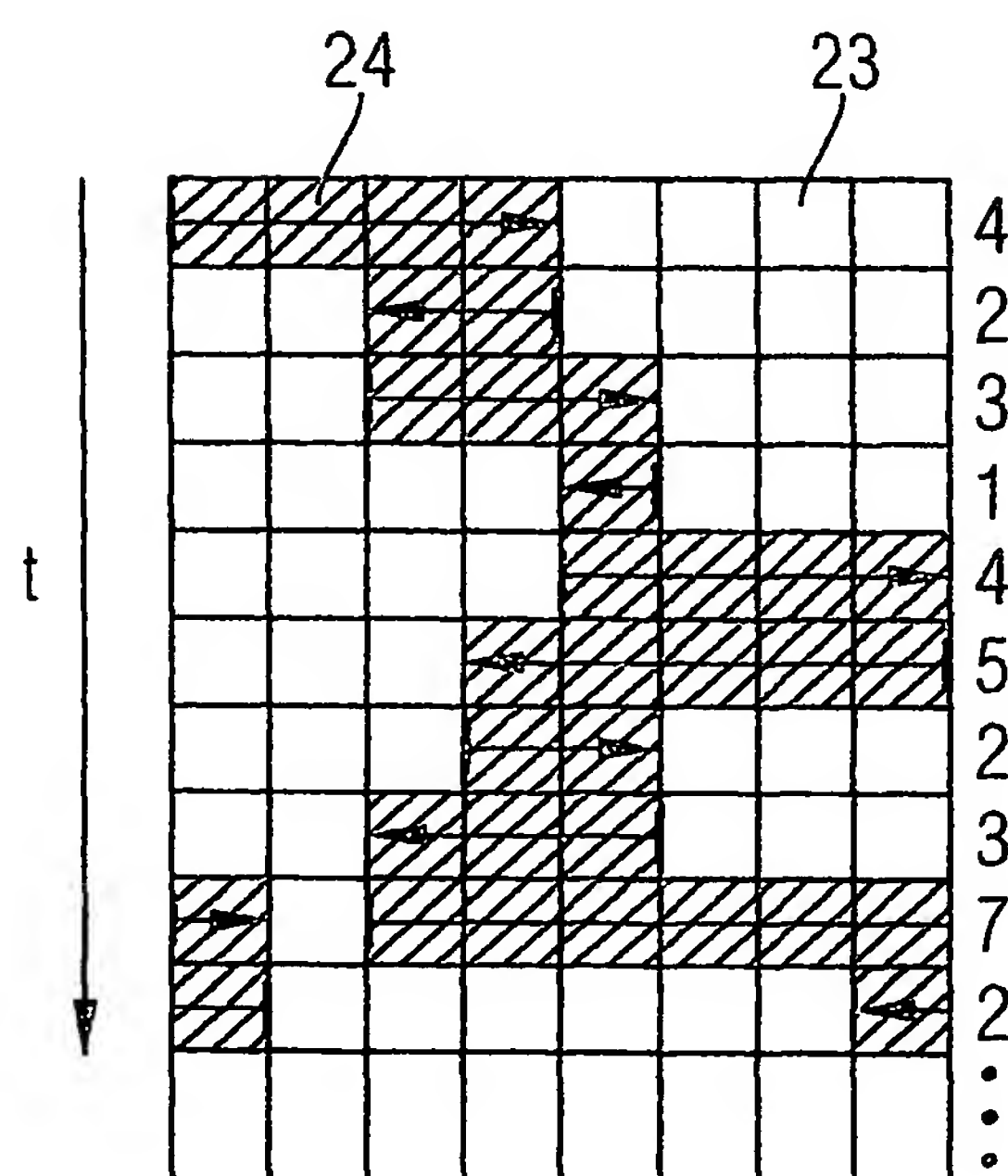


FIG 4D

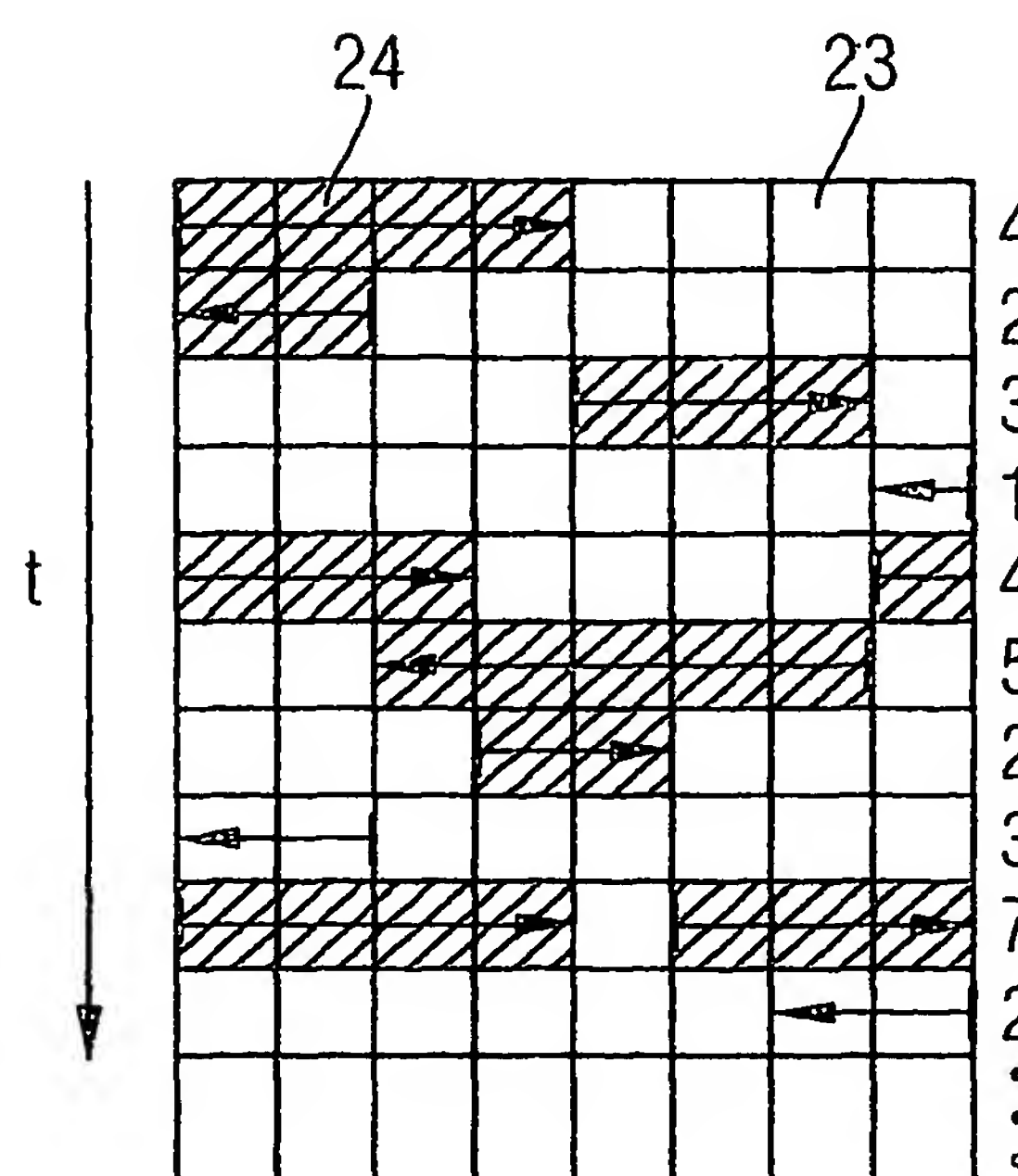
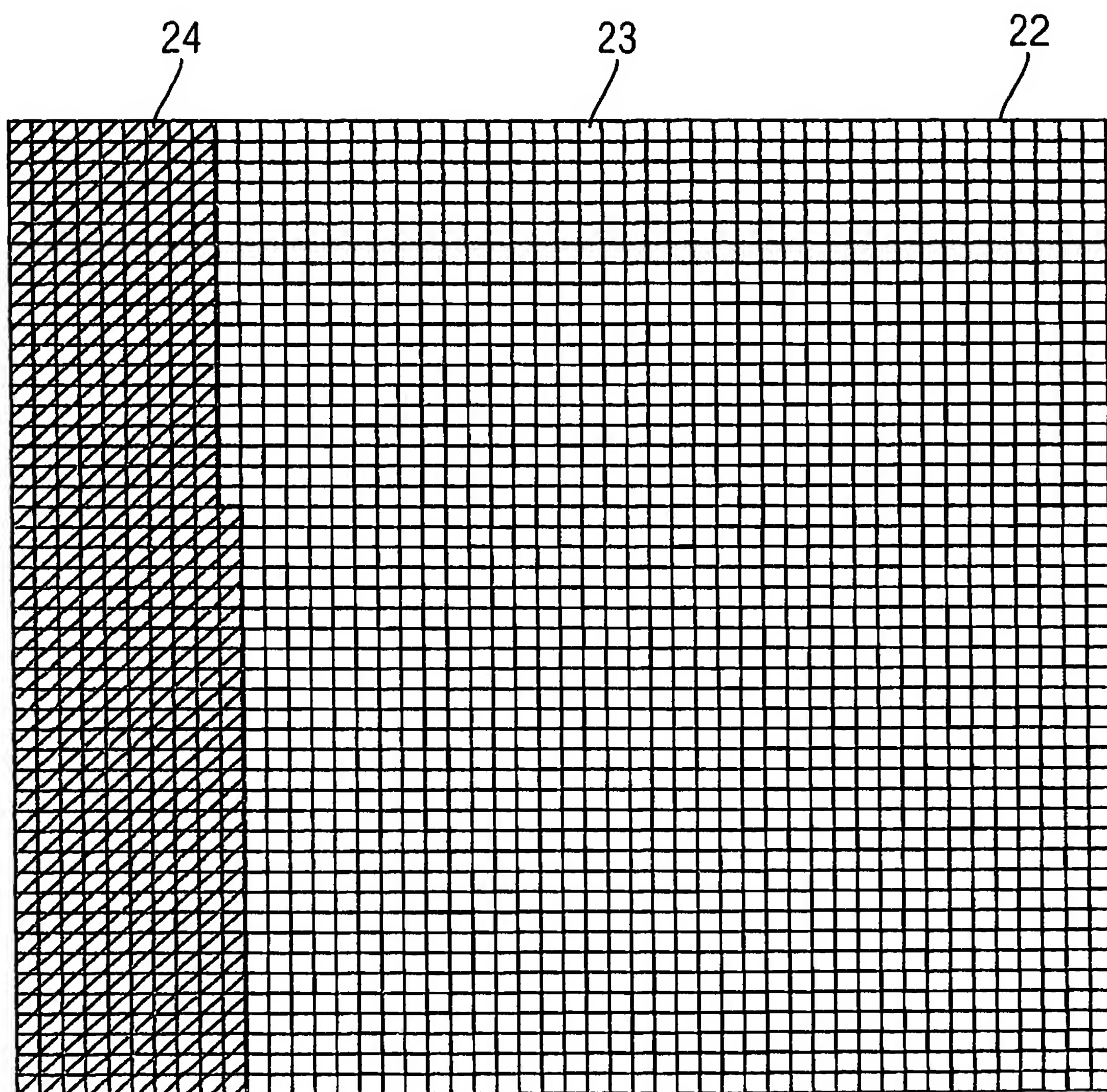


FIG 5





# INTERNATIONAL SEARCH REPORT

International Application No  
PCT/EP2004/007428

**A. CLASSIFICATION OF SUBJECT MATTER**  
IPC 7 H03M1/68

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H03M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 456 218 B1 (DEDIC IAN JUSO ET AL) 24 September 2002 (2002-09-24) column 1 - column 11; figures 1,3,5,6 -----	1-16
A	US 6 160 507 A (CARBOU PIERRE ET AL) 12 December 2000 (2000-12-12) column 1 - column 6; figure 3 -----	1-16
A	US 5 539 405 A (NORSWORTHY JOHN P) 23 July 1996 (1996-07-23) column 1 - column 8; figure 1 -----	1-16

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

\* Special categories of cited documents:

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

- \*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- \*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- \*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- \*G\* document member of the same patent family

Date of the actual completion of the international search

25 October 2004

Date of mailing of the international search report

05/11/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel (+31-70) 340-2040, Tx 31 651 epo nl,  
Fax (+31-70) 340-3016

Authorized officer

Morrish, I

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP2004/007428

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6456218	B1	24-09-2002	CN 1351422 A 29-05-2002
			EP 1202459 A2 02-05-2002
			JP 2001237704 A 31-08-2001
			JP 2002164789 A 07-06-2002
			US 2002084925 A1 04-07-2002
			EP 1100203 A2 16-05-2001
US 6160507	A	12-12-2000	NONE
US 5539405	A	23-07-1996	NONE

# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2004/007428

## A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 H03M1/68

Nach der internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. RESEARCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H03M

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 6 456 218 B1 (DEDIC IAN JUSO ET AL) 24. September 2002 (2002-09-24) Spalte 1 - Spalte 11; Abbildungen 1,3,5,6 -----	1-16
A	US 6 160 507 A (CARBOU PIERRE ET AL) 12. Dezember 2000 (2000-12-12) Spalte 1 - Spalte 6; Abbildung 3 -----	1-16
A	US 5 539 405 A (NORSWORTHY JOHN P) 23. Juli 1996 (1996-07-23) Spalte 1 - Spalte 8; Abbildung 1 -----	1-16

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

\*A\* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

\*E\* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

\*L\* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

\*O\* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

\*P\* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

\*T\* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

\*X\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

\*Y\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

\*Z\* Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

25. Oktober 2004

Absenddatum des internationalen Recherchenberichts

05/11/2004

Name und Postanschrift der internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax (+31-70) 340-3016

Bevollmächtigter Bediensteter

Morrish, I

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2004/007428

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 6456218	B1	24-09-2002	CN	1351422 A	29-05-2002
			EP	1202459 A2	02-05-2002
			JP	2001237704 A	31-08-2001
			JP	2002164789 A	07-06-2002
			US	2002084925 A1	04-07-2002
			EP	1100203 A2	16-05-2001
US 6160507	A	12-12-2000	KEINE		
US 5539405	A	23-07-1996	KEINE		

**GEÄNDERTE ANSPRÜCHE**

[beim Internationalen Büro am 28 dezember 2004 (28.12.04) eingegangen,  
ursprüngliche Ansprüche 1-16 durch geänderte Ansprüche 1-19 ersetzt]

**1. Digital-Analog-Wandler mit:**

- 5 (a) einer Feldanordnung (22) mit einer Anzahl von Zellen (23) zwischen einer ersten und einer letzten Zelle zum Ausgeben zumindest eines quantisierten Analogsignals (25, 25') in Abhängigkeit von Steuersignalen (17, 17', 18, 18', 19, 19', 20, 20', 21, 21');  
10 (b) einer DEM-Logikeinrichtung (10) zum Generieren von zumindest einem Vorzeichensignal (15) und zwei digitalen Ausgangsdaten (13, 14) aus digitalen Eingangsdaten (11) nach einem vorbestimmten Algorithmus zum Bestimmen einer  
15 Anfangszelle und einer Endzelle in der Feldanordnung (22), zwischen welchen Zellen (24) mit zu aktivierenden Energiequellen (30) liegen, wobei durch das Vorzeichensignal (15) bestimmt ist, ob an die erste Zelle der Feldanordnung (22) anknüpfende Zellen aktiviert werden, falls  
20 die zu aktivierenden Zellen (24) die letzte Zelle der Feldanordnung (22) erreichen, und mit  
(c) einer Decodereinrichtung (16) zum Decodieren der zumindest zwei digitalen Ausgangsdaten (13, 14) und des  
25 Vorzeichensignals (15) der DEM-Einrichtung (10) in Ansteuersignale (17, 17', 18, 18', 19, 19', 20, 20', 21, 21') zum Aktivieren der zu aktivierenden Zellen (24).
- 30 2. Digital-Analog-Wandler nach Anspruch 1, dadurch gekennzeichnet, daß die Feldanordnung (22) Einzelzellen (23) mit jeweils einer Stromquelle als Energiequelle (30) aufweist.
- 35 3. Digital-Analog-Wandler nach Anspruch 1 oder 2, dadurch gekennzeichnet,



daß die DEM-Logikeinrichtung (10) einen Paralleleingang zum Zuführen der digitalen Eingangsdaten (11) aufweist, welche über eine vorbestimmte Bit-breite verfügen.

5

4. Digital-Analog-Wandler nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

10

daß die Decodereinrichtung (16) ausgangsseitig zwei Zeilenansteuersignale (18, 20) und drei Spaltenansteuersignale (17, 19, 21) und vorzugsweise zwei dazu komplementäre Zeilenansteuersignale (18', 20') und drei komplementäre Spaltenansteuersignale (17', 19', 21') aufweist, welche zum Aktivieren von Energiequellen (30) vorbestimmter Zellen (24) an die Feldanordnung (22) gekoppelt sind.

15

5. Digital-Analog-Wandler nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

20

daß die Feldanordnung (22) zwei zueinander inverse quantisierte analoge Ausgangssignale (25, 25') aufweist.

6. Digital-Analog-Wandler nach einem der vorangehenden Ansprüche,

25

d a d u r c h g e k e n n z e i c h n e t ,

daß die Feldanordnung (22) Einzelzellen (23) mit jeweils einer lokalen Decodereinrichtung (27) aufweist, welche eingangsseitig jeweils zwei Zeilenansteuersignale (18, 20) und drei Spaltenansteuersignale (17, 19, 21) und vorzugsweise zwei dazu komplementäre Zeilenansteuersignale (18', 20') und drei komplementäre Spaltenansteuersignale (17', 19', 21') aufweist.

30

7. Digital-Analog-Wandler nach Anspruch 6

35

d a d u r c h g e k e n n z e i c h n e t ,

daß die lokale Decodereinrichtung (27) jeweils eine Energiequelle (30) auf einen Widerstand (31) schaltet, wenn

ein erstes Spaltensignal (17) und ein erstes Zeilensignal (18), oder ein zweites Spaltensignal (19) und ein zweites Zeilensignal (20), oder ein drittes Spaltensignal (21) aktiviert sind. 8. Digital-Analog-Wandler nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,  
daß die Feldanordnung (22) jeweils eine Kantenlänge von mindestens 64 Zellen (23), entsprechend einer Bit-breite des Eingangssignals von mindestens 12 Bit, aufweist.

9. Digital-Analog-Wandler nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,  
daß ein DWA (Data Weighted Averaging) -Algorithmus oder ein bi-DWA (bidirectional Data Weighted Averaging) -Algorithmus oder ein ILA (Individual Level Averaging) -Algorithmus in der DEM-Logikeinrichtung (10) zum Bestimmen der zu aktivierenden Zellen (24) der Feldanordnung (22) eingesetzt wird.